

**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 08-320503

(43)Date of publication of application : 03.12.1996

(51)Int.Cl.

G02F 1/136  
G02F 1/1335  
G09F 9/30

(21)Application number : 07-127641

(71)Applicant : NEC CORP

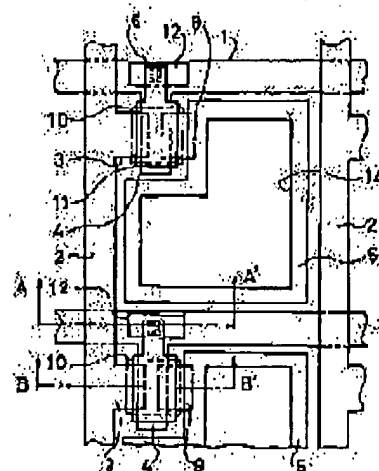
(22)Date of filing : 26.05.1995

(72)Inventor : NISHIDA SHINICHI

**(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY PANEL****(57)Abstract:**

**PURPOSE:** To provide an active matrix liquid crystal display panel which is producible at a high yield without an increase in the number of stages and has light shielding layers having stable potential.

**CONSTITUTION:** Light shielding auxiliary layers 12 having a rectangular shape are disposed via insulating films on part above scanning lines 1 and contact holes 6 are formed on the light shielding auxiliary layers 12 of the protective insulating films formed thereon by the same stage as the stage for exposing the metallic terminal parts of the periphery. The light shielding auxiliary layers 12 and the light shielding layers 11 are connected through these contact holes 6 at the time of forming the light shielding layers 11 covering channel parts 10 of TFTs. Sufficiently large electrostatic capacitors are formed between the light shielding auxiliary layers 12 and the scanning lines 1 and the light shielding layers 11 are maintained at nearly the same potential as the potential of the scanning lines 1 during the charge holding period by these electrostatic capacitors. The light shielding layers 11 capable of suppressing the back gate effect of the TFTs are formed with the smaller number of stages and at the higher yield, by which the manufacturing cost is reduced.

**LEGAL STATUS**

[Date of request for examination] 26.05.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2677248

[Date of registration] 25.07.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-320503

(43) 公開日 平成8年(1996)12月3日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/1335			1/1335
G 0 9 F 9/30	3 3 8	7426-5H	G 0 9 F 9/30	3 3 8 K

審査請求 有 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平7-127641

(22) 出願日 平成7年(1995)5月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西田 真一

東京都港区芝五丁目7番1号 日本電気株式会社内

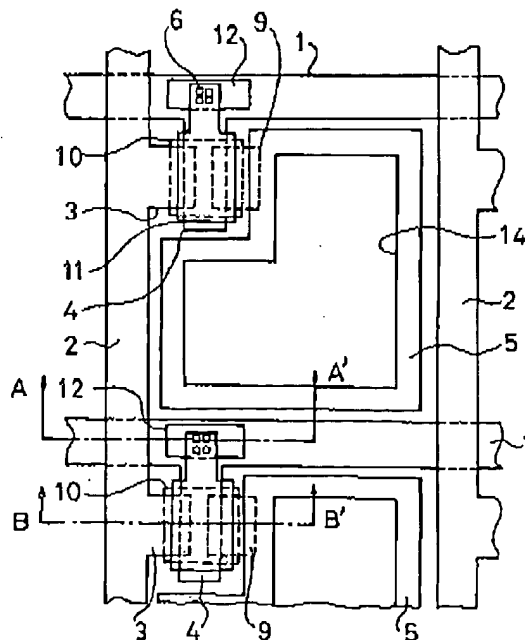
(74) 代理人 弁理士 稲垣 清

(54) 【発明の名称】 アクティブマトリクス液晶表示パネル

(57) 【要約】

【目的】 工程数を増加させず且つ歩留りが高く製造でき、電位が安定な遮光層を有するアクティブマトリクス液晶パネルを提供する。

【構成】 走査線1の上方の一部に絶縁膜を介して長方形の遮光補助層12を設け、その上に形成した保護絶縁膜の遮光補助層12上に、周辺の金属端子部を露出させるのと同じ工程により、コンタクトホール6を形成する。TFTのチャネル部10を覆う遮光層11を形成する際に、コンタクトホール6を通して、遮光補助層12と遮光層11とを接続する。遮光補助層12と走査線1との間には十分に大きな静電容量が形成され、この静電容量により、電荷保持期間中において遮光層11が走査線1とほぼ同電位に保たれる。TFTのバックゲート効果を抑制することが出来る遮光層11を、より少ない工程数で且つ歩留りが高く形成することで製造コストを低減する。



(2)

特開平8-320503

1

## 【特許請求の範囲】

【請求項1】 複数の走査線と複数の信号線とで形成される各格子部分に画素電極および薄膜電界効果トランジスタをマトリクス状に形成した第1の透明絶縁基板と、該第1の透明絶縁基板と対向して配置され、前記各画素電極と対向する位置に透明電極を有する第2の透明絶縁基板と、該双方の透明絶縁基板間に封入された液晶層と、少なくとも前記薄膜電界効果トランジスタのチャネル部を覆って形成される不透明な導電性の遮光層とを有するアクティブマトリクス液晶表示パネルにおいて、絶縁層を介して前記走査線と対向して配設され、前記走査線との間で静電容量部を形成する導電性の補助層を備え、前記遮光層の一部が絶縁層を介して前記補助層と対向して配設されており、前記遮光層と補助層とがコンタクトホールを介して接続されることを特徴とするアクティブマトリクス液晶表示パネル。

【請求項2】 前記補助層が前記画素電極と同レベルの導電層として形成され且つ該画素電極と絶縁される、請求項1に記載のアクティブマトリクス液晶表示パネル。

【請求項3】 前記補助層が、前記薄膜電界効果トランジスタのソース電極およびドレイン電極と同レベルの導電層として形成され、且つ、該ソース電極およびドレイン電極から絶縁される、請求項1に記載のアクティブマトリクス液晶表示パネル。

【請求項4】 前記遮光層が前記信号線と同レベルの導電層として形成されており、前記信号線と前記ソース電極とがコンタクトホールを介して接続される、請求項3に記載のアクティブマトリクス液晶表示パネル。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス液晶表示パネルに関し、更に詳しくは、薄膜電界効果型トランジスタのチャネル部を遮光する遮光層を備える形式のアクティブマトリクス液晶表示パネルに関する。

## 【0002】

【従来の技術】 アクティブマトリクス液晶表示パネル（AMLCD）は、薄膜電界効果型トランジスタ（TFT）を画素電極のためのスイッチング素子として用いる形式の表示デバイスであり、高品位の画質を有することから、携帯型コンピュータの表示部や投射型表示デバイスのライトバルブなどに幅広く応用されている。

【0003】 AMLCDは、一般に、TFT基板および対向基板とよばれる2枚の基板を有する。TFT基板は、透明絶縁基板上に、走査線及び信号線を格子状に配設し、各格子部に薄膜トランジスタ（TFT）及びこのTFTに駆動される画素電極を設け、これらを基板上にマトリクス状に配設し、更に表面に配向膜15を形成した構造を有する。また、対向基板は透明電極を全面に形成し、更に表面に配向膜15を有する透明絶縁基板が

2

ら成る。これら双方の基板の間に液晶を挟み込み、外部信号で電位を制御した画素電極と所定電位に維持される対向電極との間の電圧により、各画素における光の透過光量を制御することで表示を行う。

【0004】 図7は直視型のディスプレイとして構成した従来のAMLCDの断面図である。この形式のAMLCDでは、一般に、液晶パネルの背後にバックライトを設け、TFT基板20をバックライト側に、対向基板21を表示側に配置する。バックライトの照射光18は、画素間の境界を分離しコントラストを向上させるため対向基板上に設けられたブラックマトリクス16で反射し、液晶層19を透過してTFTの上方から照射される。

【0005】 図7に示した逆スタガード型TFTでは、ゲート電極4がTFT基板20の透明絶縁基板7側にあるので、バックライトの照射光18が直接にチャネル10に入射することはないが、前記の如くブラックマトリクス16で反射した光が、チャネル10に入射し、ゲート電極4をオフさせたときのリーク電流を増大させる。一般に、この反射光はそれほど強くはないので、これに起因するオフ電流の増大は表示性能に特に大きな影響を与える程ではない。しかし、バックライト光を通常より強くする場合や、或いは、走査線の本数が増大してTFTのON時間に比べてOFF時間が特に長くなるような場合には、その影響が表示上で顕在化して表示コントラストの低下などの画質劣化を引き起こす。このことは、携帯型パーソナルコンピュータの表示部に限らず、投射型表示デバイスのライトバルブとして用いる場合でも同様である。

【0006】 上記のような表示コントラストの低下を避けるために、図7に示した構造では、逆スタガード型TFTの上部に不透明な遮光層11を設け、チャネルに入射する光を抑制する。しかし、この遮光層11は、それ自体が静電的に帯電して、場合によって、TFTのチャネル10をいわゆるバックチャネルとする影響を与え、オフ時のリーク電流を増大させるという問題がある。この問題を避けるために、遮光層11を走査線、信号線又は画素電極5に接続し、遮光層11の電位を安定化させることにより、遮光層11の帯電によるリーク電流の増大を抑制する方法が提案されている。

## 【0007】

【発明が解決しようとする課題】 上記提案された方法において、遮光層を、走査線、信号線又は画素電極のいずれに接続する場合には、夫々以下にあげる欠点がある。まず、遮光層11を信号線に接続する場合には、TFTのドレイン電極9は画素電極5に接続されているので、電荷保持期間に遮光層11の電位がソース電位もしくはドレイン電位のどちらか低い方の電位よりも最大で10V程度高くなることがある。この影響がバックチャネル10にまで及ぶと、そのバックゲート効果によりオフ時

(3)

特開平8-320503

3

のリーク電流が増大し、所期の効果が得られない。従って、この場合には、遮光層11とバックチャネル10との距離が十分に長くなるように、保護絶縁膜13の膜厚を例えば1 $\mu$ m程度以上に厚くする必要がある。このことは、遮光層11を画素電極5に接続する場合でも同様である。しかし、このように厚い保護絶縁膜13を設けることは、コンタクトホール形成のためのエッチングや、そのコンタクトホール内における配線形成等において、工程の複雑化や歩留りの低下を招き、高コスト化の要因となる。

【0008】一方、遮光層11を走査線（ゲート電極4）に接続する場合には次のような問題がある。電荷保持期間内では、遮光層11の電位はTFTのソースもしくはドレイン電圧のいずれか低い方の電位に対して十分低く保たれている。従って、バックゲート効果はリーク電流を低減させる方向に作用するので、保護絶縁膜13は薄くともよい。しかし、この構成を採用する場合には、遮光層11と走査線との間には、ゲート絶縁膜8と保護絶縁膜13とが介在しており、これらの膜厚の合計は例えば700nm程度になる。全面素において、この大きな厚みの絶縁膜を貫通してコンタクトホールを形成し、遮光層と走査線とを配線層で接続することには大きな困難が伴い、この接続部で不良が発生する確率はかなり高い。接続不良を有する画素では、ゲート電圧がオンからオフに変化する際に、ゲート電極4とドレイン電極9との間の静電容量により画素電位が変動する、いわゆるフィードスルー量が、正常な画素とは異なることになり、明かな異常点として視認される。従って、このような構成を採用する液晶表示パネルは、欠陥を含む確率が高く、製造歩留まりを低下させ、高コスト化の要因となる。

【0009】上記に鑑み、本発明の目的は、アクティブマトリクス液晶表示パネルにおいて、バックゲート効果によるリーク電流の増大を抑制することが出来る遮光層を簡素な工程で且つ歩留り高く形成することで、低コストで製造可能なアクティブマトリクス液晶表示パネルを提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明のアクティブマトリクス液晶表示パネルは、複数の走査線と複数の信号線とで形成される各格子部分に画素電極および薄膜電界効果トランジスタをマトリクス状に形成した第1の透明絶縁基板と、該第1の透明絶縁基板と対向して配置され、前記各画素電極と対向する位置に透明電極を有する第2の透明絶縁基板と、該双方の透明絶縁基板間に封入された液晶層と、少なくとも前記薄膜電界効果トランジスタのチャネル部を覆って形成される不透明な導電性の遮光層とを有するアクティブマトリクス液晶表示パネルにおいて、絶縁層を介して前記走査線と対向して配設され、前記走査線との間で静電容

4

量部を形成する導電性の補助層を備え、前記遮光層の一部が絶縁層を介して前記補助層と対向して配設されており、前記遮光層と補助層とがコンタクトホールを介して接続されることを特徴とする。

【0011】ここで、本発明のアクティブマトリクス液晶表示パネルの好ましい態様では、補助層が画素電極と同レベルの導電層として形成され且つ画素電極と絶縁される。この場合、補助層を形成するための工程を特別に設ける必要がなく、全体の製造工程が簡素化される。補助層は、各画素毎に形成してもよく、或いは、1つの走査線毎に1つ設けて各行の画素群に共通に設けてもよい。

【0012】また、補助層を、薄膜電界効果トランジスタのソース電極およびドレイン電極と同レベルの導電層として形成し、且つ、ソース電極およびドレイン電極から絶縁することも出来る。同様に製造工程が簡素化される。更に、この場合、遮光層を信号線と同レベルの導電層として形成し、信号線とソース電極とをコンタクトホールにより接続することが好ましい。

【0013】

【作用】本発明のアクティブマトリクス液晶表示パネルでは、走査電極との間で静電容量部を形成する補助層を設け、遮光層と補助層とを接続する構成を採用することにより、遮光層の電位が安定的に走査線の電位とほぼ同電位に保たれるので、遮光層によるバックゲート効果がリーク電流を抑制する方向に作用し、電荷保持期間中におけるTFTのリーク電流を小さく抑えることが出来る。また、遮光層によるバックゲート効果が生じないので絶縁層を薄く形成でき、コンタクトホール形成のためのエッチング工程での歩留りが向上する。

【0014】

【実施例】以下、図面を参照し、本発明の好適な実施例に基づいて本発明を更に詳細に説明する。図1は本発明の第1の実施例のアクティブマトリクス液晶表示パネル（AMLCD）を示す平面図、図2（a）及び（b）は、夫々、図1のA-A'及びB-B'断面図である。図1および図2を参照して本実施例を説明する。

【0015】ガラス板などから成る第1の透光性絶縁基板7の主面上で、多数の走査線1と多数の信号線2とを相互に交差させて、第1の透光性絶縁基板7の主面を格子状に区画する。各格子内には、走査線1と信号線2の交点近傍に配置されるTFTと、このTFTで駆動される画素電極5とから構成される1組のアクティブ画素エレメントが夫々配置される。TFTは、ゲート電極4と、ゲート電極4上に絶縁膜8を介して設けられた島状非晶質シリコン膜10から成るチャネル部と、非晶質シリコン膜10の表面上および絶縁膜8の表面上に設けられたソース電極3およびドレイン電極9とから成る。ここで、TFTのゲート電極4は走査線1と一体に形成され、また、ソース電極3は信号線2と一体に形成されて

(4)

特開平8-320503

5

いる。

【0016】画素電極5は、ドレイン電極9と接続されており、対応するゲート電極4と隣接する走査線1の上部には、画素電極5と同一層で形成された導電性の遮光補助層(補助層)12が設けられている。遮光補助層12は、走査線1の幅よりもやや小さな幅の略長方形形状をなし、走査線1とは絶縁膜8によって隔てられる。画素電極5の中央部14および周辺端子部を除いてTFTアレイ全体を覆って保護絶縁膜13が設けられている。更に、この保護絶縁膜13上には導電性の遮光層11が形成されており、該遮光層11は、非晶質シリコン膜10から成るチャンネル部を覆う略長方形部分と、この略長方形部分から遮光補助層12の上方に延びる突出部とから成る。遮光層11と遮光補助層12とは、保護絶縁膜13内に形成されたコンタクトホール6を介して接続され\*

$$V_L = (Q + C_{gs} V_g + C_{ls} V_s + C_{ld} V_d + C_{lg} V_g) / (C_{gs} + C_{ls} + C_{ld} + C_{lg})$$

.. (1)

【0018】上式中で、静電容量 $C_{gs}$ を他の静電容量に比して十分に大きくとれば、遮光層11全体に正の電荷が帯電した場合でも、遮光層の電位 $V_L$ をゲート電位 $V_g$ に十分に近づけることができる。本実施例の構造では、遮光補助層12と走査線1との間の静電容量 $C_{ls}$ を容易に大きくとることが出来るので、この条件を満たすことができる。従って、遮光層11は走査線1と略同電位に維持・固定することができる。

【0019】ゲート電位 $V_g$ は、電荷保持の間中は、ドレイン電圧およびソース電圧に対して十分に負になっているので、 $V_L < V_g$ となり、バックゲート効果は、リーク電流を低減させる方向に作用する。このため、バックチャネル10と遮光層11との間の保護絶縁膜13の厚さを200nm程度に薄くしても、リーク電流が増大することはない。また保護絶縁膜13を薄くすることにより、全面素子における遮光層11と遮光補助層12との接続は、欠陥の発生を誘発することなく確実に行うことができ、そのプロセスが容易なものになる。また、この構造によると、遮光層11を信号線2、画素電極5、もしくは、走査線1のいずれにもコンタクトホールによって接続していないので、それぞれに接続した場合に発生する従来技術の問題を回避することが出来る。

【0020】なお、上記構造に代えて、TFTのソース電極3及びドレイン電極9並びに遮光補助層12を、画素電極5と同じ層の透明金属層で一度に形成することも出来る。この場合には、透明金属層の形成後に、遮光層11と信号線2とを十分に抵抗の低い同じ層の金属層で一度に形成し、保護絶縁膜13に形成したコンタクトホール6を介して、信号線2とソース電極3、並びに、遮光層11と遮光補助層12とをそれぞれ接続する。このように構成すると、遮光層を有しないTFT基板の製造工程に比べても、その工程数を増やすことなく、電位が安定した遮光層を有するTFT基板を作製することができ

6

\*ている。ここで、遮光層11及び遮光補助層12は、金属配線によってはいずれの電位にも固定されていない。

【0017】図1に示す構造において、遮光補助層12と走査線1とが平面的に重なる部分の面積を $S$ 、ゲート絶縁膜8の実効的誘電率及び実効的膜厚を夫々 $\epsilon$ 及び $d$ とすると、遮光補助層12と走査線1との間には、 $C_{ls} = \epsilon S / d$ の静電容量がある。即ち、遮光補助層12と走査線1とは静電容量部を構成する。ここで、遮光層11とソース電極3との間の静電容量を $C_{ls}$ 、遮光層11とドレイン電極9との間の静電容量を $C_{ld}$ 、遮光層11とTFTのバックチャネル10との間の静電容量を $C_{lg}$ とする。このとき、遮光層11および遮光補助層12の帯電量を $Q$ とすると、遮光層11の電位 $V_L$ とソース電位 $V_s$ 、ドレイン電位 $V_d$ 、ゲート電位 $V_g$ 、バックチャネル電位 $V_b$ との間には、次式で表される関係がある。

る。

【0021】図3(a)～(c)は、上記第1の実施例のAMLCDの製造方法における、AMLCDの各工程段階を順次に示す平面図である。まず、透光性の絶縁基板の上に、クロム膜をスパッタ法で100nmの厚さに堆積してこれをパターニングする。これにより、ゲート電極4および走査線1を得る。次いで、表面全体を覆ってゲート絶縁膜8となる窒化シリコン膜を400nmの厚さに堆積する。更に、厚さ250nmのノンドープ非晶質シリコン膜および厚さ20nmのN型非晶質シリコン膜を順次に堆積し、これらをパターニングすることにより、ゲート電極4上に島状の非晶質シリコン膜10を形成する。次いで、更にクロム膜を100nmの厚さに堆積してこれをパターニングし、信号線2およびこれと一体に形成されるソース電極3とドレイン電極9とを形成し、図3(a)に示す構造を得る。

【0022】次に、ITO膜を100nm厚に堆積してこれをパターニングし、ドレイン電極9に接続された画素電極5と、走査線1の上方に絶縁膜8を介して走査線1から絶縁される略長方形形状の遮光補助層12とを形成する。次いで、表面全体に厚さ200nmの保護絶縁膜13を堆積し、画素電極5上の符号14に示す領域でこの保護絶縁膜13をエッチングにより除去すると同時に、遮光補助層12の一部にコンタクトホール6を形成し、図3(b)に示す構造を得る。

【0023】更に、クロム膜200nmを堆積してこれをパターニングし、TFTのチャンネル部の上方およびこれから遮光補助層12の上方に延びる遮光層11を得る。このように形成されることで、遮光層11は、コンタクトホール6を介して遮光補助層12に接続されている。これにより図3(c)に示す構造が得られる。

【0024】以上の作製プロセスにおいて、遮光層11と遮光補助層12とを接続する際の段差は、保護絶縁膜

(5)

特開平8-320503

7

13の厚さに等しく略200nmである。この段差を接続するための厚さとして、前記クロム膜の厚さ200nmは十分であり、従って、コンタクトホールを介しての接続形成は高い確率で成功する。このため、遮光層11と遮光補助層12との接続不良に起因する欠陥の発生は無視できる。

【0025】上記実施例において形成される各バタンのサイズは、例えば適用する液晶パネルの規格によって異なる。一例として、対角20cm程度の640×480画素数のカラーディスプレイに適用する場合について述べると、1画素の大きさは、図1における横方向の長さが100μm程度、縦方向の長さが300μm程度である。この場合、TFTのチャネル長を4μm、チャネル幅を12μmで設計することが出来る。更に、TFTのドレイン電極9、ソース電極3およびバックチャネルと遮光層11との重なり面積は、ソース電極3およびドレイン電極9と遮光層11とがオーバーラップする長さを夫々2μmとし、また、島状非晶質シリコン膜10のソース電極3およびドレイン電極9からの縦方向へのはみ出し長さを2μmとすると、128μm<sup>2</sup>程度となる。

【0026】一方、走査線1の幅を14μm程度とすると、遮光補助層12の幅は12μm程度、走査線1の延長方向の長さを32μm程度とすることが出来る。この場合、遮光補助層の面積は384μm<sup>2</sup>となる。このようにすると、遮光層11とソース電極3、ドレイン電極9およびバックチャネルとの各静電容量の和128μm<sup>2</sup>に対して、遮光補助層12と走査線1との静電容量は約1.5倍になる。この条件では、式(1)から容易に理解できるように、正の静電気が遮光層に帯電しても、走査線1と遮光補助層12の重なり面積Sによる静電容量が十分に大きいため、電荷保持期間内において、遮光層11の電位はソース電極3、ドレイン電極9およびチャネル10の電位に比べて低くなり、バックチャネル効果によりオフ電流が増大する現象は避けられる。

【0027】次に本発明の第2の実施例のAMLCDについて述べる。図4は本実施例のAMLCDの平面図、図5(a)および(b)は夫々、図4のA-A'およびB-B'断面図である。

【0028】ガラス板などから成る第1の透光性絶縁基板7の上に、ゲート電極4を含む走査線1と信号線2とを相互に交差させて格子状に配置し、各格子内に画素を形成する。各格子内には、走査線1と信号線2の交点近傍に配置されるTFTと、このTFTで駆動される画素電極5とが配置される。TFTは、走査線1と一体に形成されるゲート電極4と、ゲート電極4上に絶縁膜8を介して設けられた島状非晶質シリコン膜10から成るチャネル部と、非晶質シリコン膜10の一部表面を含み絶縁膜8表面上に設けられたソース電極3およびドレイン電極9とから成る。

8

【0029】ここで、TFTのソース電極3およびドレイン電極9と、ドレイン電極9と一体に形成される画素電極5と、走査線1上方の一部で絶縁膜8を介して走査線1から絶縁される遮光補助層12とが、いずれも同じ層から成る金属層として構成されている。画素電極5の中央部14および周辺の端子部を除いて全体を覆うように絶縁膜13が設けられている。遮光補助層12およびソース電極3上の保護絶縁膜13内にはコンタクトホールが形成されている。この保護絶縁膜13上には、TFTのチャネル部を覆う遮光層11およびこれと同じ層で形成する信号線2が形成され、遮光層11と遮光補助層12、および、信号線2とソース電極3はそれぞれコンタクトホール6を介して接続されている。

【0030】図6(a)～(c)は、上記第2の実施例のAMLCDの製造方法におけるAMLCDの各工程段階を順次に示す平面図である。まず、透光性の絶縁基板の上にクロム膜をスパッタ法で100nmの厚さに堆積してこれをパターニングする。これにより、ゲート電極4を含む走査線1を得る。次いで、表面にゲート絶縁膜となる窒化シリコン膜を400nmの厚さに堆積し、更にその上に、厚さ250nmのノンドープ非晶質シリコン膜および厚さ20nmのN型非晶質シリコン膜を順次に堆積してこれをパターニングすることで、ゲート電極4上に島状非晶質シリコン膜10を形成する。引き続き、ITO膜を100nm積層してこれをパターニングし、ソース電極3、ドレイン電極9、これと一体に形成される画素電極5、および、走査線1の上方の一部で絶縁膜を介してこれから絶縁される遮光補助層12を同じ層の金属層で形成する。これにより、図6(a)に示す構造を得る。

【0031】次いで、表面に厚さ200nmの保護絶縁膜13を堆積し、画素電極5上の符号14に示す領域でこの保護絶縁膜13をエッチングにより除去すると同時に、遮光補助層12上の一部およびソース電極の一部にコンタクトホール6を形成し、図6(b)に示す構造を得る。

【0032】その後、更にクロム膜200nmを堆積してこれをパターニングし、遮光層11および信号線2を同じ層で形成する。このようにして形成した遮光層11はコンタクトホール6を通して遮光補助層12に接続されている。また、同様に信号線2はコンタクトホールを介してソース電極3に接続されている。これにより図6(c)に示す構造を得る。

【0033】以上の作製プロセスにおいて、遮光層11と遮光補助層12、および、信号線2とソース電極3を夫々コンタクトホールを通して接続するときの段差は、保護絶縁膜13の厚さに等しく略200nmである。この段差を接続するための厚さとして、クロム膜の前記厚さ200nmは十分であり、これらのコンタクトホールを通しての接続は高い確率で成功するので、接続不良に

(6)

特開平8-320503

9

10

起因する画素の欠陥はほとんど発生しない。

【0034】また、上記第2の実施例によれば、信号線と遮光層とを同じ層で形成できるため、第1の実施例と性能的にはほとんど同じ構造を、成膜、露光、エッチングの工程数を第1の実施例に比べて各1回削減することができる。このため第1の実施例に比して製造コストを大幅に削減することができる。

【0035】なお、上記各実施例の記述では、本発明の好適な態様について説明したが、本発明は上記実施例の構成から種々の修正および変更が可能である。

【0036】

【発明の効果】以上、詳述したように、本発明のアクティブマトリクス液晶表示パネルによれば、電位的に安定な遮光層を有するTFT基板を少ない工程数で且つ歩留りが高く形成できるので、本発明は、良好な表示特性を有する低コストの液晶パネルを実現した顕著な効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例のAMLCDの構造を示す平面図。

【図2】(a) および (b) は夫々、図1のA-A' およびB-B' 断面図。

【図3】(a) ~ (c) は夫々、図1のAMLCDの製造方法における、AMLCDの各工程段階毎の平面図。

【図4】本発明の第2の実施例のAMLCDの構造を示す平面図。

【図5】(a) および (b) は夫々、図4のA-A' お

よびB-B' 断面図。

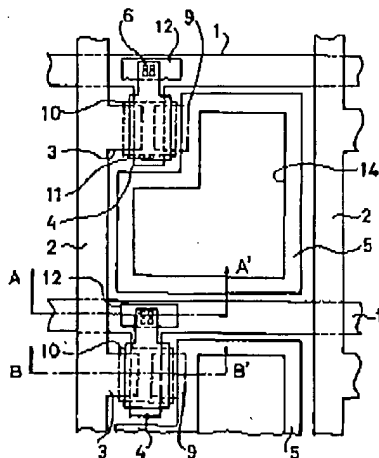
【図6】(a) ~ (c) は夫々、図4のAMLCDの製造方法における、AMLCDの各工程段階毎の平面図。

【図7】従来のAMLCDの断面図。

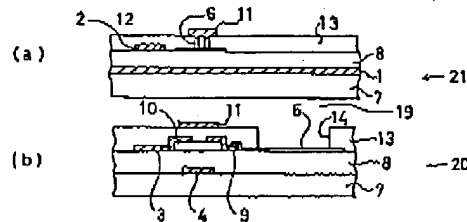
【符号の説明】

- 1 走査線
- 2 信号線
- 3 ソース電極
- 4 ゲート電極
- 5 画素電極
- 6 コンタクトホール
- 7 絶縁基板
- 8 絶縁膜
- 9 ドレイン電極
- 10 非晶質シリコン膜
- 11 遮光層
- 12 遮光補助層
- 13 保護絶縁膜
- 14 画素電極上の保護絶縁膜を除去する領域
- 15 配向膜
- 16 ブラックマトリクス
- 17 透明電極
- 18 照明光
- 19 液晶層
- 20 TFT基板
- 21 対向基板

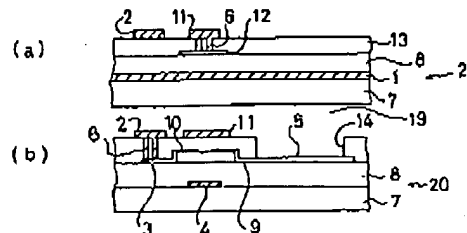
【図1】



【図2】



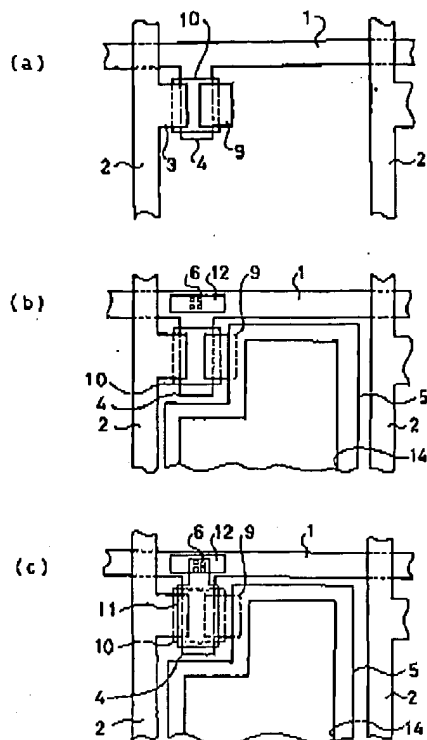
【図5】



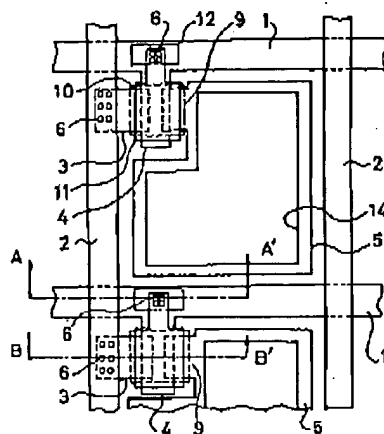
(7)

特開平8-320503

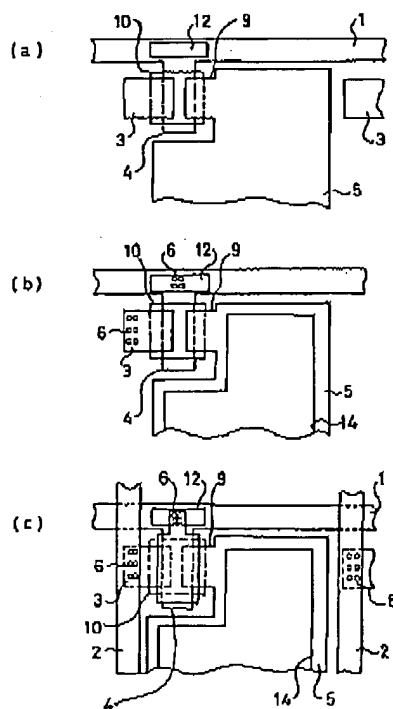
【図3】



【図4】



【図6】





(8)

特開平8-320503

【図7】

